

EUROPEAN PATENT OFFICE

Pat nt Abstracts of Japan

PUBLICATION NUMBER : 55008026
PUBLICATION DATE : 21-01-80

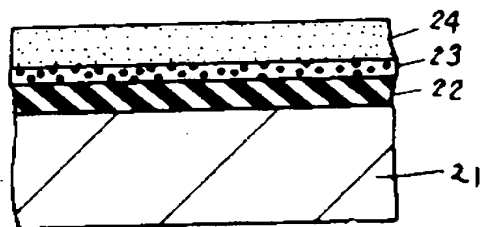
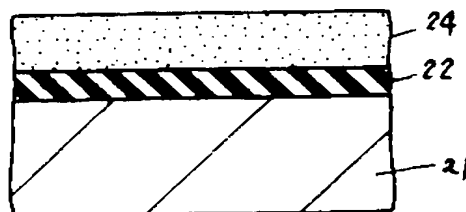
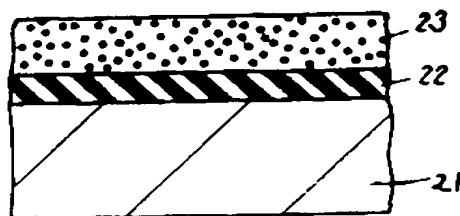
APPLICATION DATE : 30-06-78
APPLICATION NUMBER : 53079897

APPLICANT : MATSUSHITA ELECTRIC IND CO LTD;

INVENTOR : HIRAO TAKASHI;

INT.CL. : H01L 29/04 H01L 27/04 H01L 29/78

TITLE : SEMI-CONDUCTOR DEVICE
MANUFACTURING METHOD



ABSTRACT : **PURPOSE:** To prevent a semi-conductor element from quality variation due to condition of formation by employing the ion injection method so that a poly Si film can be turned into a homogeneously amorphous body.

CONSTITUTION: A poly Si 23 is formed on an SiO₂ film 22 on a base plate 21, and inactive ion and homologous ion, such as Si, etc., or H ion are injected so that an entire body or surface of the film 23 is turned into a homogeneously amorphous layer 24. By employing this method, even if there were difference in crystal grain diameter on the basis of condition of formation of the poly Si 23, it can be converted into the amorphous film 24 formed by homogeneous micro-grain crystal, and therefore, an element to be made in this structure is to have a good reproducibility and stabilized characteristics.

COPYRIGHT: (C) JPO

THIS PAGE BLANK (USPTO)

⑨ 日本国特許庁 (JP)
⑫ 公開特許公報 (A)

⑪ 特許出願公開
昭55—8026

⑤ Int. Cl.³
H 01 L 29/04
27/04
29/78

識別記号

庁内整理番号
7514—5 F
7210—5 F
6603—5 F

⑬ 公開 昭和55年(1980) 1 月21日

発明の数 1
審査請求 未請求

(全 3 頁)

⑭ 半導体装置の製造方法

⑮ 特 願 昭53—79897

⑯ 出 願 昭53(1978) 6 月30日

⑰ 発 明 者 大曾根隆志

門真市大字門真1006番地松下電
器産業株式会社内

⑱ 発 明 者 平尾孝

門真市大字門真1006番地松下電
器産業株式会社内

⑲ 出 願 人 松下電器産業株式会社

門真市大字門真1006番地

⑳ 代 理 人 弁理士 中尾敏男 外 1 名

明 細 書

1、発明の名称

半導体装置の製造方法

2、特許請求の範囲

- (1) 基体上に形成された多結晶半導体膜の少くとも一部をイオン注入法によりアモルファス化したのち、このアモルファス半導体膜に半導体素子を形成することを特徴とする半導体装置の製造方法。
- (2) 不活性イオン又はシリコン、ゲルマニウム等の同族イオン又は水素イオンをイオン注入することを特徴とする特許請求の範囲第1項に記載の半導体装置の製造方法。
- (3) 半導体素子が抵抗体又はMOSトランジスタよりなることを特徴とする特許請求の範囲第1項に記載の半導体装置の製造方法。

3、発明の詳細な説明

本発明は半導体装置の製造方法に関し、その目的は多結晶半導体膜を用いた半導体装置を、その多結晶半導体膜の生成条件によらず安定に製造する方法を提供することにある。特に、その多結晶

半導体膜として多結晶 Si 膜を用いた場合に、その生成温度や膜厚に依存せず再現性の良い抵抗体や MOS トランジスタ等の半導体素子を形成することを目的とする。

第1図に従来の多結晶 Si 抵抗体の形成方法を示す。Si 基体 11 の上面に加熱酸化法で約 9000 Å の SiO₂ 膜 12 を形成する。その上面に SiH₄ ガスの熱分解法により 700℃ で夫々、6000 Å、9000 Å 及び 12000 Å の多結晶 Si 膜 13 を形成する。この時の平均結晶粒径は膜厚とともに増大する。この多結晶 Si 膜 13 に B⁺ イオンを 60 KeV で $1 \times 10^{14} / \text{cm}^2$ と $1 \times 10^{15} / \text{cm}^2$ を注入した時のシート抵抗とアニール温度の関係を (b) に示す。膜厚によってシート抵抗値が違いアニール温度によっても異なることが分る。尚、この詳細は 平尾、大曾根、秘技「多結晶シリコンへのボロンイオン注入」電子装置研究会資料 EDD—73—100 (1973年10月26日) にも述べられている。この様に従来の方法では多結晶 Si 膜の膜厚や生成条件によってシ

ート抵抗値が大きく変化する。又、この多結晶 Si 膜に MOS トランジスタを形成すれば、その相互コンダクタンスや閾値電圧が多結晶 Si 膜の生成条件によって変動し実用上問題があった。

本発明は多結晶 Si 膜をイオン注入法によって均質化せしめ生成条件による半導体素子の変動をなくするもので、多結晶半導体膜をイオン注入によってアモルファス（非晶質）とすることを特徴とする。

第 2 図、第 3 図は本発明の実施例の方法を示す。第 2 図において、半導体又は絶縁物等の基体 21 の上面に SiO_2 膜等の絶縁体膜 22 を形成する。更にその上面に SiH_4 ガスの熱分解法や真空蒸着法で多結晶 Si 膜 23 を生成する。こゝまでは従来と同様である(a)。次に、イオン注入法により He, Ne, Ar, Xe 等の不活性イオンや、Si, Ge 等の同族イオン又は H イオンを高ドーズ量注入し(b)、(c)に示すように多結晶 Si 膜 23 の全面又は表面近傍を均質なアモルファス Si 膜 24 に変化せしめる。(b)は全面をアモルファス化した場合、(c)は

その一部をアモルファス化した場合を示す。以上の方法によれば多結晶 Si 膜 23 の生成条件に依存して、その粒径の差異が存在しても、均質な微粒結晶で形成されるアモルファス Si 膜 24 に変換される。

第 3 図(a)、(b)は第 2 図で形成されたアモルファス Si 膜 24 を用いた抵抗体と MOS トランジスタの形成例を示す。アモルファス Si 膜 24 に B^+ , P^+ , As^+ 等の不純物イオンをイオン注入法で導入して導電性を持たせ導電性膜 25 を形成する。このアモルファス Si 膜 25 を第 3 図(a)のごとく島状に形成し、 SiO_2 膜等の絶縁体膜 26 で選択的に覆い、その両端に Al 膜等の金属電極 27, 28 を形成して抵抗体を作成する。又、第 3 図(b)のごとく MOS トランジスタを形成する場合はアモルファス Si 膜 24 を島状に形成したのち、ゲート酸化膜 29 を形成する。そしてゲート電極として多結晶 Si 膜 30 を形成し、通常の Si ゲート MOS トランジスタと同様に、ソース、ドレイン拡散領域 31, 32 を形成する。絶縁体膜 33

で全面を覆った後、選択的に開口部を設け、金属電極 34, 35 を形成して完成する。

第 3 図(a)、(b)に示された抵抗体も MOS トランジスタもイオン注入によって均質な微粒径を有するアモルファス Si 膜 24 に形成されるため、その抵抗値や MOS トランジスタの相互コンダクタンス及び閾値電圧はアモルファス化前の多結晶 Si 膜の生成条件によらず安定で再現性良く得られる。このことは半導体素子にとって極めて好都合で大きな効果をもたらす。尚、本発明では多結晶 Si 膜を用いて説明したが、この代りに Ge や GaAs, GaP 等の III-V 族化合物半導体等の多結晶膜についても同様に適用できる。

以上のように、本発明は多結晶半導体膜をアモルファス化し、この中に素子を作成するものであり、再現性良く、安定な半導体素子を得ることができ、半導体装置の製造に大きく寄与するものである。

4. 図面の簡単な説明

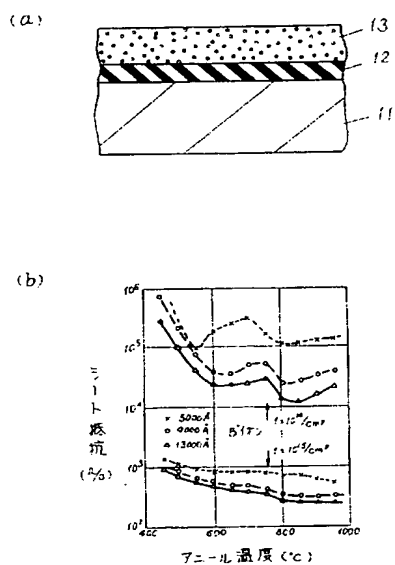
第 1 図(a)は従来の多結晶 Si 膜を用いた抵抗体

の要部断面図、同(b)は同(a)の抵抗体の B^+ イオン注入多結晶 Si のシート抵抗の等時アニール特性図、第 2 図(a)~(c)は本発明によるアモルファス Si 膜の形成方法の工程図、第 3 図(a)、(b)はそれぞれアモルファス Si 膜へ形成した抵抗体と MOS トランジスタの要部断面図である。

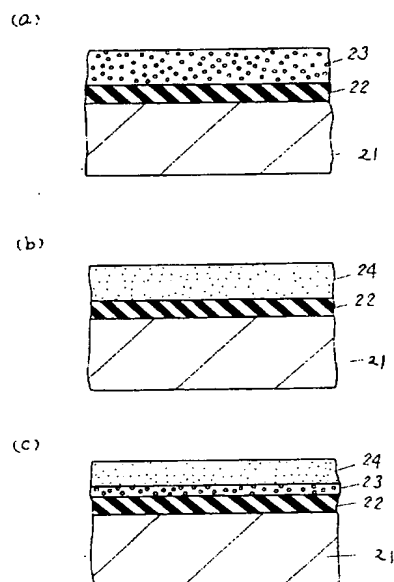
21 基体、22, 26, 32 絶縁体膜、23, 30 多結晶 Si 膜、24, 25 アモルファス Si 膜、27, 28, 34, 35 金属電極、31, 32 ソース、ドレイン領域。

代理人の氏名 弁理士 中 尾 敏 男 ほか 1 名

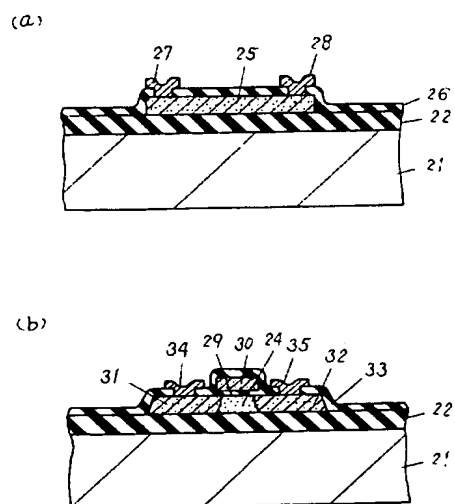
第 1 図



第 2 図



第 3 図



THIS PAGE BLANK (USPTO)